

Commutation to zero voltage and zero current of a three-phase AC-AD converter that uses a single controlled stage of potency processing

Pedro A. Vargas V.¹ and José G. Contreras²

¹*Departamento de Mantenimiento de Equipos Eléctricos,
Instituto Universitario de Tecnología del Estado Trujillo. Trujillo 3101, Venezuela.
Telf. 0271-2440371. pevavihumo@ieee.org*

²*Departamento de Potencia, Escuela de Eléctrica, Facultad de Ingeniería,
Postgrado en Automatización e Instrumentación, Universidad de Los Andes.
Mérida 5101, Venezuela. Telf. 0274-2402899. josecon@ula.ve*

Abstract

In this paper, analysis of a Zero Voltage-Current Switching (ZVCS) with a single stage of power processing converter is presented. A drive strategy for the activation of Full Bridge (FB) inverter using Phase Shift (FS) pulse width modulation (PWM), is describe in order to achieve ZVS in a leading leg and adjustment of the output DC voltage. A simple auxiliary circuit is used to achieve ZCS in a lagging leg. A mathematical and graphic analysis is made in order to obtain a approach to adjust the die time of a leading leg and the selection of the components of the auxiliary circuit. Experimental results are included for a 1.5kW, 50kHz and 60V output three phase AC-DC converter which confirms the performance of de proposed topology.

Key words: Three phase AC/DC converter, zero voltaje switching (ZVS), zero current switching (ZCS), phase shift (FS), pulse width modulation (PWM), full bridge (FB).

Conmutación a cero voltaje y cero corriente de un convertidor AC-DC trifásico que utiliza una sola etapa controlada de procesamiento de potencia

Resumen

Este artículo presenta el análisis de la conmutación a cero voltaje (ZVS) y conmutación a cero corriente (ZCS) de un convertidor AC-DC trifásico con una sola etapa de procesamiento de potencia. Se deriva un criterio para activar los transistores del inversor DC-AC en puente completo (FB), utilizando modulación de ancho de pulso (PWM) por desplazamiento de fase, con el propósito de lograr la conmutación ZVS de la rama en adelante del FB, y el ajuste del voltaje DC de salida. La conmutación ZCS de la rama en atraso del FB, se conseguirá utilizando un circuito resonante auxiliar simple. Un análisis matemático y gráfico permite obtener un criterio para ajustar el tiempo muerto de la rama en adelante y la selección de los componentes del circuito resonante auxiliar. Las características del convertidor fueron verificadas, mediante simulación y resultados experimentales para una fuente trifásica conmutada de 1,5 kW, frecuencia de conmutación de 50 kHz y voltaje de salida DC de 60V.

Palabras clave: Convertidor AC-DC trifásico, conmutación a voltaje cero (ZVS), conmutación a corriente cero (ZCS), modulación de ancho de pulso (PWM), desplazamiento de fase (PS), puente completo (FB).

1. Introducción

La conmutación ZVS y ZCS de los convertidores en puente completo, con modulación de ancho de pulso por desplazamiento de fase (ZVS y ZCS-FB-PWM-PS), ha recibido considerable atención en los años recientes [1, 2]. Esta técnica permite el uso de todos los elementos parásitos de los transformadores y transistores del FB con el fin de conseguir conmutación ZVS y ZCS.

En aplicaciones de alta potencia y alto voltaje, se ha generalizado la utilización de los transistores IGBT, debido a sus bajas pérdidas de conducción, su bajo costo y su capacidad para bloquear altos voltajes [3], sin embargo estos transistores tienen altas pérdidas de conmutación durante el apagado, debido al fenómeno de la corriente de cola. Es necesario utilizar técnicas de conmutación ZVS y ZCS con la finalidad de reducir considerablemente las pérdidas de conmutación.

El objetivo de este trabajo es demostrar el beneficio que produce el transformador principal (XTp) para conmutar la rama en adelante del convertidor propuesto por Contreras y Vargas [4] a ZVS, derivar un criterio para seleccionar los componentes de un circuito auxiliar simple para lograr la conmutación ZCS de la rama en atraso del convertidor y definir la estrategia de activación de los transistores del inversor, utilizando modulación de ancho de pulso por desplazamiento de fase en un puente completo (FB-PWM-PS), para facilitar la conmutación ZCS y ZVS del convertidor.

2. Conmutación de la rama en adelante

Esta rama está formada por los transistores Q1 y Q3, los capacitores C1 y C3 y los diodos D8 y D10. La Figura 1 muestra el circuito equivalente del convertidor a analizar en el instante en que se inicia la conmutación del transistor Q1. La Figura 2 muestra las principales formas de onda del convertidor relacionadas con la conmutación de los transistores. Como puede deducirse de las Figuras 2(a) y 2(b), cuando se inicia la conmutación de Q1, éste conduce la suma de las corrientes pico que circulan por el primario de XTp y el primario del transformador de salida (XTs) ($I = iL4p + iL6p$). Esta corriente se distribuye por igual a través de los capacitores C3 y C1. C3 se carga al voltaje de bus (VB) y C1 se descarga hasta 0 V.

Durante el periodo de conmutación mostrado en la Figura 2, los voltajes de fase (Va, Vb y Vc) están dados por:

$$V_a = V_m \cdot \text{sen}(60^\circ) \tag{1}$$

$$V_b = -V_m \cdot \text{sen}(60^\circ) \tag{2}$$

$$V_c = 0 \tag{3}$$

donde V_m es el voltaje pico de fase.

Debido a que la relación de transformación de XTp es 1, del circuito de la Figura 1, se puede deducir que el voltaje en L1, un instante antes de la conmutación de Q1, viene dado por:

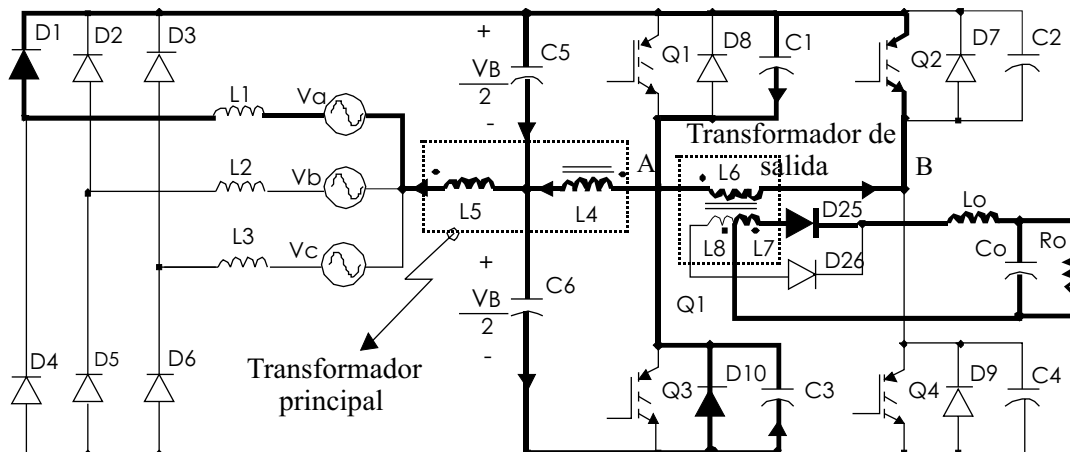


Figura 1. Topología del convertidor propuesto, en el instante en que se inicia la conmutación de Q1.

$$VL1 = Va - \frac{VB}{2} + \frac{VB}{2} = Va, \tag{4}$$

donde Va es el voltaje instantáneo de la fase a, dado por (1), y VB es el voltaje de bus.

De las Figuras 1 y 2 se puede deducir que la corriente pico que conduce Q1, en el instante en que se inicia la conmutación, se puede expresar como:

$$I = iL1p + \frac{Io}{n} + \frac{\Delta iL6}{2}, \tag{5}$$

donde Io es la corriente media de salida, n es la relación de transformación de XTs y:

$$iL1p = \frac{Vm \cdot \text{sen}(60^\circ) \cdot Ts}{2 \cdot L1} \tag{6}$$

$$\Delta iL6 = \frac{VB \cdot (1 - K) \cdot Ts}{2 \cdot L6}, \tag{7}$$

donde Ts es el período de conmutación, L1 es el valor del inductor de potencia y L6 es la inductancia de magnetización de XTs.

Combinando (5), (6) y (7) la corriente disponible para descargar y cargar los capacitores C1 y C3 en el instante de la conmutación de Q1 es:

$$I = \frac{0,866 \cdot Vm \cdot Ts}{2 \cdot L1} + \frac{Io}{2} + \frac{VB \cdot (1 - K) \cdot Ts}{4 \cdot L6}. \tag{8}$$

En una fuente DC conmutada, el circuito de control ajusta el porcentaje de desplazamiento de fase K (porcentaje de retardo de la activación de Q4 con respecto a Q1), cuando ocurren variaciones de carga a la salida. Para analizar el efecto de K en la conmutación se escribirá el tiempo de conmutación Δt (ecuación 9) en función de K, considerando constante el voltaje de entrada.

$$\Delta t(K) = \frac{2 \cdot VB(K) \cdot C}{\frac{0,866 \cdot Vm \cdot Ts}{2 \cdot L1} + \frac{Io(K)}{2} + \frac{VB(K) \cdot (1 - K) \cdot Ts}{4 \cdot L6}} \tag{9}$$

donde C = C1 = C3 es el valor del capacitor, VB(K) e Io(K) son el voltaje de bus y la corriente de salida en función de K deducidas en Contreras y Vargas [4].

La Figura 3 muestra los resultados gráficos obtenidos a partir de la ecuación (9). Estos resul-

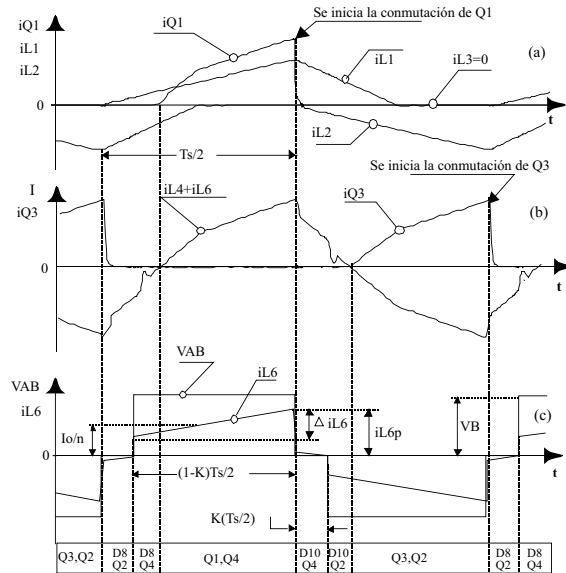


Figura 2. Principales formas de onda. (a) Corriente en los inductores de potencia y el transistor Q1. (b) Corriente disponible para la conmutación de Q1 y Q3 (I = iL4+iL6) y corriente en el transistor Q3. (c) Corriente y voltaje en el transformador de salida XTs.

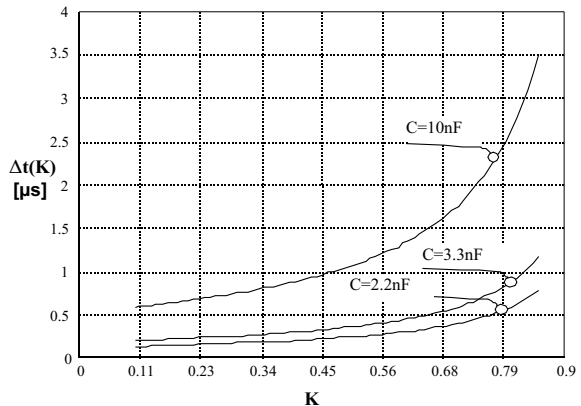


Figura 3. Tiempo disponible para la conmutación de la rama en adelante vs K, para tres valores de C.

tados muestran que seleccionando un valor de C entre 2.2 nF y 10 nF se puede conmutar la rama en adelante en el tiempo Δt de conmutación que va desde los 125 ns hasta los 1000 ns cuando K varía en el intervalo comprendido entre el 15% y el 50%. Los resultados gráficos permiten seleccionar un valor de C, dado el tiempo disponible

para la conmutación (t(OFF): tiempo de apagado del transistor). Es conveniente seleccionar C tan grande como sea posible, a fin de retardar el inicio de la carga lineal del capacitor de conmutación C, y evitar el solapamiento de la corriente y el voltaje de colector durante la conmutación [5].

3. Conmutación de la rama en atraso

Esta rama está formada por los transistores Q2 y Q4, los diodos D7 y D9 y los capacitores C2 y C4. De la Figura 2(c) se deduce que la corriente pico (iL6p) en el instante de la conmutación de Q4 se puede expresar como:

$$iL6p = \frac{I_o}{n} + \frac{\Delta iL6}{2}, \tag{10}$$

donde $\Delta iL6$ está dada por (7).

La expresión del tiempo Δt requerido para cargar y descargar los capacitores C2 y C4 en función de K es:

$$\Delta t(K) = \frac{2 \cdot VB(K) \cdot C}{\frac{Io(K)}{2} + \frac{VB(K) \cdot (1 - K) \cdot Ts}{4 \cdot L6}} \tag{11}$$

La Figura 4 muestra los resultados gráficos obtenidos a partir de la ecuación (11). Estos resultados muestran que seleccionando un valor de C entre 1 nF y 3.3 nF se puede conmutar la rama en atraso en el tiempo Δt de conmutación que va desde los 268 ns hasta los 1000 ns cuando K varía en el intervalo comprendido entre el 10% y el 22%. En este caso se dispone de un rango de variación de K y C más pequeño, en comparación con el obtenido para la rama en adelante. Esto demuestra la dificultad para conmutar esta rama a ZVS.

4. Estrategia de activación de los transistores para la conmutación ZVS y ZCS

En la sección anterior se demostró que la conmutación ZVS de la rama en atraso del puente es crítica. Debido a esto se debe recurrir a la técnica de conmutación ZCS de los transistores que conforman esta rama. La Figura 5 muestra la estrategia de conmutación de los transistores

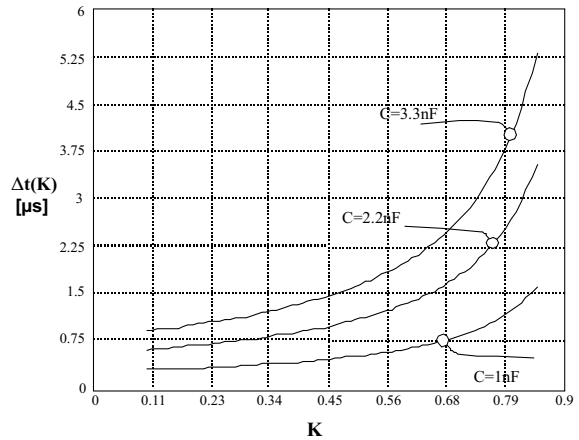


Figura 4. Tiempo disponible para la conmutación de la rama en atraso vs K, para tres valores de C.

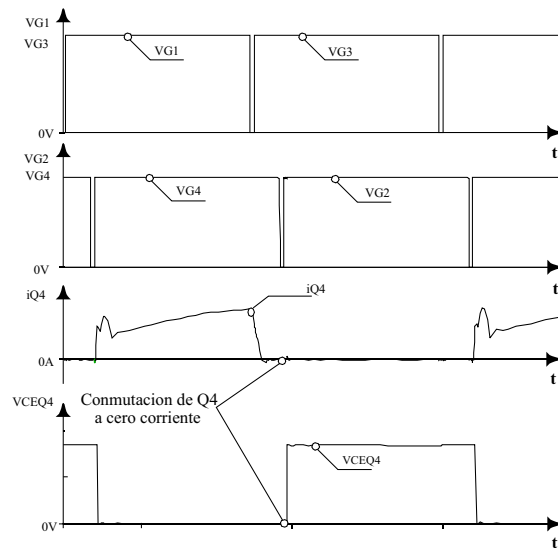


Figura 5. Estrategia de activación de los transistores para lograr ZVS y ZCS del FB.

para lograr ZVS en la rama en adelante y ZCS en la rama en atraso. Como se puede observar en la figura, la activación de los transistores Q1 y Q3 se adelanta con respecto a la activación de los transistores Q2 y Q4. La razón de este criterio se fundamenta en el hecho de que la corriente I, dada por (5), disponible para cargar y descargar los capacitores C1 y C3 es mayor que la corriente disponible para cargar y descargar los capacitores C2 y C4; dada por (10). Utilizando esta estrategia de activación de los transistores e incluyen-

do un circuito auxiliar para conmutación ZCS; la rama en adelante conmuta a ZVS y la rama en atraso conmuta a ZCS.

5. Análisis del circuito auxiliar para conmutación ZCS de la rama en atraso

La Figura 6 muestra el circuito auxiliar agregado al convertidor para conseguir ZCS en la rama en atraso. El estudio de este circuito fue realizado en [6]. Sin embargo, no se desarrolla un criterio para la selección de los componentes del circuito resonante auxiliar.

La Figura 7 muestra las principales formas de onda y los modos de operación del circuito auxiliar. El modo uno (M1) se inicia cuando Q1, Q4, D25 y Dr1 conducen. La inductancia de dispersión de XTs Llk, Cre y la fuente de corriente Io forman un circuito resonante. Las ecuaciones que caracterizan este modo son:

$$V_{Cre}(t) = \frac{(V_B - n \cdot V_o) \cdot (1 - \cos(\omega_a \cdot t))}{n} \quad (12)$$

$$i_{Cre}(t) = -\frac{V_B - n \cdot V_o}{Z_a} \cdot \text{sen}(\omega_a \cdot t), \quad (13)$$

donde V_o es el voltaje de salida y Z_a y ω_a están dadas por:

$$Z_a = \sqrt{\frac{n^2 \cdot L_{lk}}{C_{re}}} \quad (14)$$

$$\omega_a = \frac{n}{\sqrt{C_{re} \cdot L_{lk}}} \quad (15)$$

El modo M1 finaliza en la mitad del periodo de resonancia cuando el voltaje en el capacitor de resonancia, V_{Cre} alcanza el valor dado por:

$$V_{Cre}\left(\frac{\pi}{\omega_a}\right) = 2 \cdot \left[\frac{V_B}{n} - V_o\right] \quad (16)$$

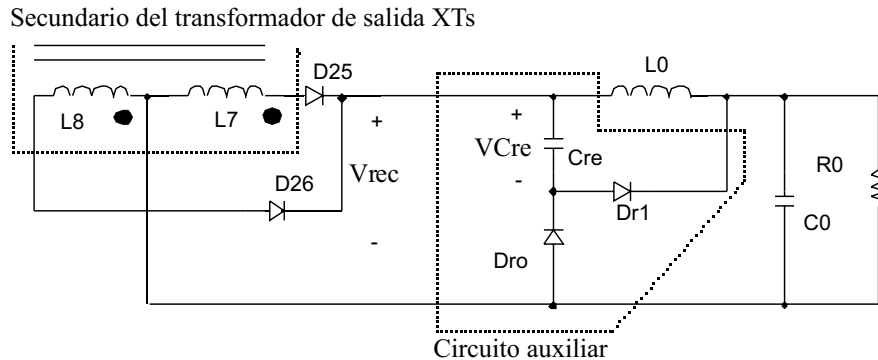


Figura 6. Circuito auxiliar para conmutación ZCS de Q2 y Q4.

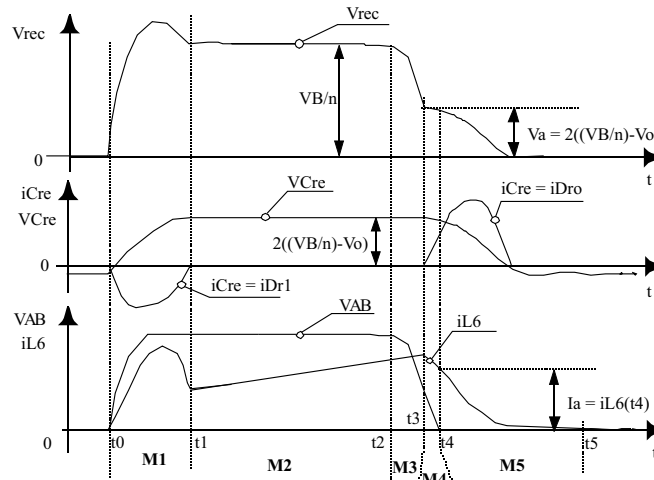


Figura 7. Principales formas de onda del circuito auxiliar.

El modo dos (M2) se inicia cuando el diodo Dr1 se bloquea; el voltaje Vrec regresa a su valor nominal VB/n, el diodo Dro nunca conduce durante este modo, y Cre permanece cargado al voltaje dado por (16).

El modo 3 (M3) se inicia con el bloqueo de Q1. La corriente I dada por (5) carga C1 y descarga C3. El voltaje en el primario de XTs, VAB decrece linealmente como se indica en la Figura 7. La expresión de VAB es:

$$VAB(t) = VB - \frac{iL4p}{(C1 + C3)} \cdot t \quad (17)$$

Al final de este modo el voltaje rectificado, Vrec iguala al voltaje VCre, dado por (16), por consiguiente el voltaje VAB al final de este modo es:

$$VAB3 = 2 \cdot n \cdot \left[\frac{VB}{n} - Vo \right] \quad (18)$$

La duración de este modo se obtiene sustituyendo VAB3 en (17) y resolviendo para t resulta:

$$t3 = \frac{(VB - VAB3)}{iL4p} \cdot (C1 + C3) \quad (19)$$

El modo cuatro (M4) se inicia cuando el diodo Dro conduce. Debido a que Cre se selecciona mucho mayor que (C1+C3), el voltaje Vrec decrece mas lentamente que el voltaje VAB. Debido a que la duración de este modo es muy pequeña, el voltaje VCre, se mantiene al valor dado por (16). La diferencia entre el voltaje VAB y el voltaje Vrec reflejado en el primario de XTs (VAB - nVrec), es aplicado a la inductancia Llk y la corriente iL6 comienza a decrecer rápidamente. Las expresiones del voltaje VAB y la corriente iL6, en el primario de XTs, son:

$$VAB(t) = VAB3 - \frac{iL4p}{C1 + C3} \cdot t \quad (20)$$

$$iL6(t) = \frac{Io}{n} \cdot \left[1 - \frac{Ceq}{wb^2} \right] \cdot \cos(wb \cdot t) + \frac{Ceq}{wb^2} \cdot \frac{Io}{n} \quad (21)$$

donde Ceq y wb están dadas por:

$$wb = \sqrt{\frac{n^2 \cdot Ceq + Cre}{Llk \cdot Cre \cdot Ceq}} \quad (22)$$

$$Ceq = C1 + C3 \quad (23)$$

Este modo finaliza cuando VAB alcanza los 0 V. La duración de este modo se determina igualando a cero (20), y resolviendo para t, resulta:

$$t4 = \frac{VAB3}{iL4p} \cdot (C1 + C3) \quad (24)$$

Al final de este modo la corriente en L6 (indicada como Ia en la Figura 7) se calcula sustituyendo el valor de t4 dado por (24) en (21):

$$Ia = iL6(t4) \quad (25)$$

El voltaje VCre (indicado como Va en la Figura 7) sigue siendo el valor dado por (16). Los valores de Va e Ia constituyen las condiciones iniciales del modo siguiente.

El modo cinco (M5) se inicia cuando C3 es descargado completamente. El voltaje Vrec, reflejado en el primario del transformador XTs, es aplicado a la inductancia de dispersión Llk, y la corriente iL6 decrece rápidamente. La corriente iL6 y el voltaje VCre están dados por (26) y (27). Este modo finaliza cuando iL6 se ha extinguido totalmente.

$$iL6(t) = \left\{ \left[Ia - \frac{Io}{n} \right] \cdot \cos(wa \cdot t) - \frac{Va \cdot n}{Za} \right\} + \frac{Io}{n} \quad (26)$$

$$VCre(t) = \left[Ia - \frac{Io}{n} \right] \cdot \cos(wa \cdot t) - \frac{Va \cdot n}{Za} \cdot \sin(wa \cdot t) + \frac{Io}{n} \quad (27)$$

La duración de este modo se determina igualando a cero la ecuación (26) y resolviendo para t resulta:

$$t5 = \frac{x}{wa} \quad (28)$$

$$\text{con } x = a \tan\left[\frac{Z}{Y}\right] \quad (29)$$

donde:

$$Z = \frac{1}{2(A^2 + B^2)} [2CB - 2\sqrt{A^4 - A^2 \cdot C^2 + B^2 \cdot A^2}] \tag{30}$$

$$Y = \frac{\frac{1}{2(A^2 + B^2)} [2CB - 2\sqrt{A^4 - A^2 \cdot C^2 + B^2 \cdot A^2}] - C}{A} \tag{31}$$

Con A, B y C dadas por:

$$A = I_a - \frac{I_o}{n} \tag{32}$$

$$B = \frac{V_a \cdot n}{Z_a} \tag{33}$$

$$C = \frac{I_o}{n} \tag{34}$$

Para que la corriente i_{L6} al final de este modo se extinga hasta cero, los términos X y Y deben ser números reales positivos, en caso contrario, la solución de (26) es un número complejo, lo que significa que la corriente i_{L6} no se extingue hasta cero durante este modo. Para que la solución de (23) esté en los reales positivos el término $(A^4 - A^2 \cdot C^2 + B^2 \cdot A^2)$ de las ecuaciones (30) y (31) debe ser mayor que cero.

Sustituyendo en este término los valores de A, B y C dados por (32), (33) y (34) y resolviendo la desigualdad, resulta:

$$Llk < \frac{n \cdot V_a^2 \cdot Cre}{I_a \cdot (2 \cdot I_o - n \cdot I_a)} \tag{35}$$

El valor de I_a se puede calcular mediante una ayuda matemática. Los resultados gráficos de las ecuaciones (26) y (27) son mostrados en las Figuras 8 y 9. Como puede observarse en la Figura 8, cuando la inductancia de dispersión está fuera del intervalo dado por (35), la corriente i_{L6} no se extingue hasta cero, y por lo tanto no se consigue conmutación ZCS. Por el contrario si Llk cumple con el criterio de la ecuación (35); la corriente se extingue hasta cero, como se muestra en la Figura 9, y se alcanza la conmutación ZCS. El valor de Cre se ha seleccionado según el criterio dado en [6].

6. Resultados experimentales

A fin de verificar los criterios desarrollados, se construyó en el laboratorio un prototipo de una fuente DC trifásica de 1500 W, frecuencia de conmutación de 50 kHz y voltaje de salida de 60 V. La Figura 10 muestra el voltaje y corriente en el Transistor Q3. Como puede observarse en esta figura la carga del capacitor C3 ocurre durante el tiempo Δt ajustado mediante la gráfica de la Figura 3. La Figura 11 muestra la corriente y el voltaje en el transistor Q4, obsérvese que la subida del voltaje colector emisor de Q4 ocurre a cero corriente, confirmando la ZCS. La inductancia Llk y Cre se ajustaron según el criterio de la ecuación (35).

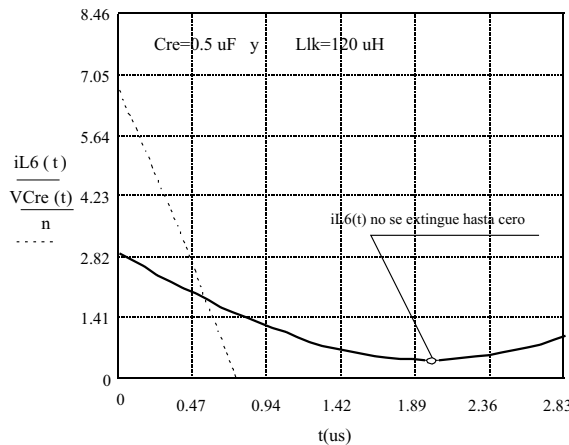


Figura 8. Voltaje en Cre y corriente en $L6$ durante el modo 5, cuando Llk está fuera del intervalo dado por (35).

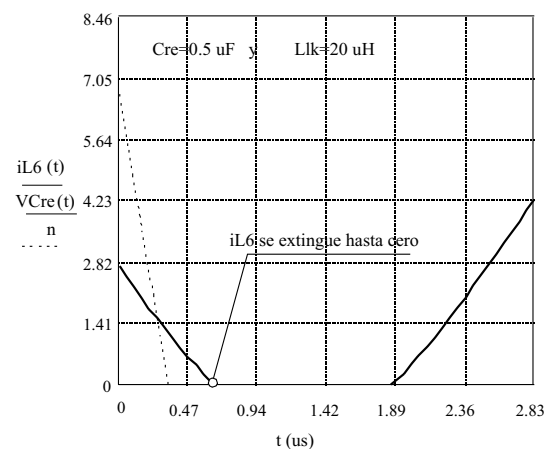


Figura 9. Voltaje en Cre y corriente en $L6$ durante el modo 5 cuando Llk cumple con el criterio de la ecuación (35).

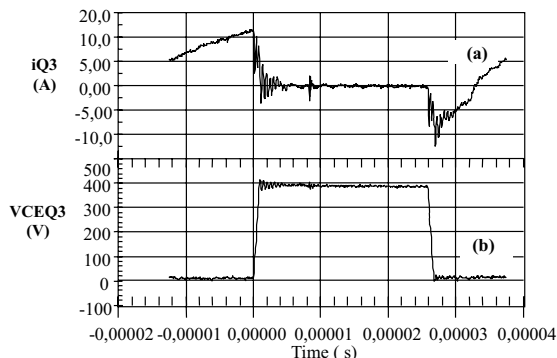


Figura 10. Corriente y voltaje en el transistor Q3 (a) corriente de colector (5 A/div). (b) Voltaje colector emisor en Q3 (100 V/div).

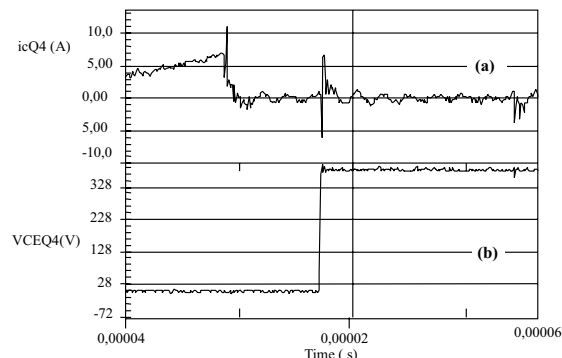


Figura 11. Corriente y voltaje en el transistor Q4 (a) Corriente de colector (5 A/div) (b) Voltaje colector emisor (100 V/div).

7. Conclusiones

El análisis matemático de la conmutación realizado en la sección 2 demuestra la ventaja que ofrece el convertidor para conmutar la rama en adelante a cero voltaje. Esta característica es lograda con la inclusión del transformador principal.

Los resultados gráficos permiten seleccionar el valor de los capacitores para la conmutación ZVS de la rama en adelante del convertidor, conociendo el tiempo de apagado de los transistores y el porcentaje de desplazamiento de fase.

El análisis de la conmutación realizado en la sección 3 demostró la dificultad para conmutar la rama en atraso a cero voltaje. Esta dificultad fue solucionada incluyendo al convertidor un circuito auxiliar simple, a fin de lograr conmutación ZCS de la rama en atraso.

El cálculo y selección de los componentes del circuito para la ZCS se realizaron utilizando el criterio derivado del estudio del convertidor. Este estudio analítico ha sido verificado mediante resultados experimentales adquiridos del prototipo construido.

Los resultados de la ZVS y ZCS de esta topología pueden ser aplicados en la construcción de fuentes de corriente continua de mayor potencia.

Es posible utilizar la inductancia parásita del transformador principal y conformar otro circuito auxiliar con el que se consiga la conmutación ZCS de la rama en adelante del convertidor.

Esto permitiría elevar la frecuencia de conmutación y obtener la topología de un convertidor AC-DC trifásico de alta densidad de potencia utilizando transistores IGBT.

Referencias Bibliográficas

1. Hang-Seok Choi, Jung-Won Kim and Bo Hyung Cho "Novel Zero voltage and zero current switching(ZVZCS) Full Bridge PWM Converter Using Coupled Output Inductor", IEEE Trans. Power Electron., vol. 17, pp. 641-648, September 2002.
2. Seong-Jeub Jeon and Gyu-Hyeong Cho "A Zero voltage and zero current switching Full bridge DC-DC Converter With Transformer Isolation" IEEE Trans. Power Electron., vol. 16, pp. 573-580, September 2001.
3. Jung-Goo Cho, Ju-Won Baek, Chang-Yong Jeong and Kee-Yeon Joe "Novel Zero-Voltage and Zero-Current-switching Bridge PWM Converter Using Transformer Auxiliary Winding", IEEE Trans. Power Electron., vol. 15, pp. 250-257, March 2000.
4. José G. Contreras and Pedro Vargas "Analysis and simulation of a three-phase AC-DC converter with high power factor and phase shifted control", 2000 IEEE International Symposium on Industrial Electronic (ISIE'2000), vol. 1, pp. 337-342.
5. J. G. Cho, J. Sabate, G. Hua, and F. C. Lee, "Zero voltage and zero current switching full bridge PWM converter for high power applications," IEEE Trans. Power Electron., vol. 11, pp. 622-628, July 1996.

6. Jung-Goo Cho, Ju-Won Baek, Chang-Yong Jeong, and Geun-Hie Rim "Novel Zero-Voltage and Zero-Current-Switching Full-Bridge PWM Converter Using a Simple Auxiliary Circuit" IEEE Transactions on Industry Appli-

cations, vol. 35, no. 1 pp 15 -20, January/February 1999.

Recibido el 20 de Marzo de 2006

En forma revisada el 26 de Junio de 2007